

PATENT
2557-000191/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Hoi-Jin LEE
Application No.: NEW APPLICATION
Filed: November 21, 2003
For: SEMICONDUCTOR DEVICE WITH SPEED BINNING TEST
CIRCUIT AND TEST METHOD THEREOF

PRIORITY LETTER

November 21, 2003

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, Virginia 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0000839	January 7, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:jj

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0000839
Application Number

출원년월일 : 2003년 01월 07일
Date of Application JAN 07, 2003

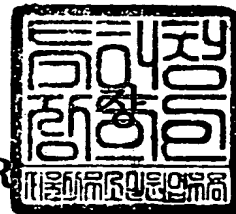
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2003.01.07
【국제특허분류】	G01R
【발명의 명칭】	공정 중의 칩 상의 변화를 용이하게 모니터링할 수 있는 스피드 비닝 테스트 회로를 구비한 반도체 장치, 및 그 테 스트 방법
【발명의 영문명칭】	Semiconductor device comprising the speed binning test circuit providing for monitoring easily on chip variations in fabrication and test method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이회진
【성명의 영문표기】	LEE, Hoi Jin
【주민등록번호】	710220-1167613
【우편번호】	463-906
【주소】	경기도 성남시 분당구 이매동(이매촌) 한신아파트 212-80
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 8 면 8,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 19 항 717,000 원

【합계】 754,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

공정 중의 칩 상의 변화를 용이하게 모니터링할 수 있는 스피드 비닝 테스트 회로를 구비한 반도체 장치, 및 그 테스트 방법이 개시된다. 상기 반도체 장치는, 제1 그룹 내지 제4 그룹을 구성하는 소정 단위 지연 회로들에 의하여 체인 형태로 형성되어 상기 코아부 주변 바운더리에 놓이며, 상기 제1 그룹 내지 상기 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가 서로 다른 스피드 비닝 테스트 회로부를 구비한다. 이에 따라, 상기 스피드 비닝 테스트 회로에 구비되고, 체인을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있는 패드들을 통하여 측정되는 오실레이션 파형으로 공정 중의 칩 상의 변화를 모니터링할 수 있다. 따라서, 한번의 총 지연 시간 측정에 의하여 칩 상의 모든 영역 각각에서 발생할 수 있는 디레이팅 팩터의 다양성이 변별되도록 함으로써, 칩의 동작 스피드 예측 오차를 최소화시키고, 랫(lot) 전체 웨이퍼의 칩들에 대한 OCV 영향 평가가 용이한 효과가 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

공정 중의 칩 상의 변화를 용이하게 모니터링할 수 있는 스피드 비닝 테스트 회로를 구비한 반도체 장치, 및 그 테스트 방법{Semiconductor device comprising the speed binning test circuit providing for monitoring easily on chip variations in fabrication and test method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일실시예에 따른 스피드 비닝(binning) 테스트 회로를 구비한 반도체 장치의 블록도이다.

도 2는 도 1의 스피드 상관 회로들을 예시하는 블록도이다.

도 3은 도 2의 스피드 상관 회로들의 동작 속도를 측정할 때의 파형도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 장치에 관한 것으로, 특히 스피드 비닝(binning) 테스트 회로를 구비한 반도체 장치 및 그 테스트 방법에 관한 것이다.

<6> DRAM과 같은 반도체 메모리 장치나 주문형 반도체 장치(ASIC) 등은 반도체 회로의 설계와 공정, 칩 테스트 또는 패키지 후 테스트 등 일련의 여러 단계를 거쳐 제품으로

출시된다. 이때, 스피드 비닝(binning) 테스트는 반도체 장치의 제작 공정(fabrication) 완료 후 웨이퍼 상태에서 칩의 동작 속도를 측정하여 그 성능에 따라 칩 또는 웨이퍼를 분류하는 공정이다.

<7> 컴퓨터의 중앙 처리 장치(CPU)와 같이 초미세 공정으로 제작되는 경우에, 칩의 동작 속도가 공정 변화에 따라 크게 영향을 받으므로, 스피드 비닝(binning) 테스트에 의하여 제품 출시 전에 웨이퍼 상태에서 칩 상의 변화를 모니터링하여 미리 칩의 동작 특성을 예측함으로써, 불필요한 패키지 제작 낭비를 줄이고, 공정 평가도 동시에 수행할 수 있다. 고성능 CPU의 패키지 제조 단가는 비싸고, 정상 동작 칩(Working Die)의 개념이 기능적 동작(functional working)의 만족으로 끝나지 않고, 원하는 속도에서의 정상 동작(at-speed functional working)을 만족시켜야 하기 때문에, 웨이퍼 상태에서 미리 스피드 비닝(binning) 테스트를 하여 원하는 제품과 불량품을 선별하는 것은 더욱 필요해졌다.

<8> 종래의 스피드 비닝(binning) 테스트 회로는, 칩 내부의 BSR(Boundary Scan Register)과 같은 특정 목적의 회로를 사용하여, 칩 주변을 순회하는 인버터 체인(chain) 형태의 회로에 의한 턴어라운드(turn-around)(입력 신호가 출력될 때까지의 지연시간) 시간을 측정함으로써, 패키지 후 칩의 동작 속도를 예측하는 데이터로 활용해왔다. 즉, 인버터 체인(chain)에 대하여 측정된 턴어라운드(turn-around) 시간과 동작 속도간에 가지는 상관 관계(correlation)로 산출된 추세선에 의하여 동작 속도의 범위가 예측된다. 이와 같은 테스트 방법에 대하여 미국 특허 출원(공개번호 US20020129310A1) 명세서에 잘 나타나 있다.

<9> 이와 같이 글로벌한 턴어라운드(turn-around) 시간을 측정하는 방식의 종래의 스피드 비닝(binning) 테스트 방식에서는, 인버터 체인(chain)을 통하여 나타나는 칩의 동작 스피드의 반영과 TEG(Test Element Group)를 통하여 평가되는 DC 특성이 공정의 변화에 높은 상관 관계(correlation)를 가지고 있었기 때문에 가능했다.

<10> 그러나, 공정이 점점 더 미세화되고 이에 따른 칩 상의 변화, 즉, OCV(On chip Variation)가 심각해짐에 따라 턴어라운드(turn-around) 시간을 측정하는 종래 방식의 인버터 체인(chain)으로는 패키지 후의 칩의 동작 스피드를 예측하기 어렵게 되었다. 즉, 칩 상의 모든 영역(상측, 하측, 좌측, 및 우측) 각각에 대한 OCV(On chip Variation) 영향이, 인버터 체인(chain)에서 하나의 데이터 값, 즉, 총 지연 시간으로 나타나기 때문에, 이와 같은 인버터 체인(chain)의 총 지연 시간만으로는 패키지 후의 칩의 동작 스피드를 예측할 수 없다. 예를 들어, 칩 상의 모든 영역(상측, 하측, 좌측, 및 우측) 각에서 일정한 OCV(On chip Variation) 영향을 받은 경우와 칩 상의 특정 영역에서만 심하게 OCV(On chip Variation)의 영향을 받은 경우를 변별하기 어렵고, 후자의 경우에서 턴어라운드(turn-around) 시간이 전자의 경우와 같게 나타났더라도, 코아(core) 회로의 동작 속도가 더 느려질 수 있는 현상을 설명할 수 없는 등 칩의 동작 스피드 예측을 변별하기 어려운 문제가 있다.

<11> 또한, 종래의 스피드 비닝(binning) 테스트 방식에서는, OCV(On chip Variation)에 의한 영향 평가를 위해서, 테스트 장비를 통해 코아(core) 회로와 함께 제작된 인버터 체인(chain)의 여러 포인트가 직접 측정되고 이렇게 측정된 값들이 데이터화된다. 이때, 테스트 시간이 많이 걸리고, 이와 같은 테스트 시간 문제는 웨이퍼 상의 전체 칩을 측정할 수 없게 한다. 따라서, 하나의 랏(lot) 중에서 수 개의 웨이퍼가 선택되고, 다시

수 개의 칩만 측정되므로, 공정이 미세해 질수록 측정된 데이터들의 산포가 전체 칩의 성능을 대표하기에는 너무 심하게 나타나는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<12> 따라서, 본 발명이 이루고자하는 기술적 과제는, 칩 상의 변화를 용이하게 모니터링할 수 있는 스피드 상관(correlation) 회로 패턴을 코아(core) 블록 주변 바운더리(boundary)에 삽입하여, 칩의 동작 스피드 예측 오차를 최소화하고 랏(lot) 전체 웨이퍼의 칩들에 대한 OCV(on chip variations) 영향 평가가 용이한 스피드 비닝(binning) 테스트 회로를 구비한 반도체 장치를 제공하는 데 있다.

<13> 본 발명이 이루고자하는 다른 기술적 과제는, 칩 상의 변화를 용이하게 모니터링할 수 있는 스피드 상관(correlation) 회로 패턴을 코아(core) 블록 주변 바운더리(boundary)에 삽입하여, 칩의 동작 스피드 예측 오차를 최소화하고 랏(lot) 전체 웨이퍼의 칩들에 대한 OCV(on chip variations) 영향 평가가 용이한 스피드 비닝(binning) 테스트 회로를 구비한 반도체 장치의 스피드 비닝(binning) 테스트 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<14> 상기의 기술적 과제를 달성하기 위한 본 발명에 따른 스피드 비닝(binning) 테스트 회로는, 칩의 코아(core)부 주변 바운더리(boundary)에 놓이는 스피드 비닝(binning) 테스트 회로에 있어서, 제1 스피드 상관(correlation) 회로, 제2 스피드 상관(correlation) 회로, 제3 스피드 상관(correlation) 회로, 제4 스피드 상관(correlation) 회로, 및 패드들을 구비한다.

- <15> 상기 제1 스피드 상관(correlation) 회로는 제1 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 최종 지연 신호를 지연시킨 제1 지연 신호를 출력하는 회로이다.
- <16> 상기 제2 스피드 상관(correlation) 회로는 제2 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제1 지연 신호를 지연시킨 제2 지연 신호를 출력하는 회로이다.
- <17> 상기 제3 스피드 상관(correlation) 회로는 제3 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제2 지연 신호를 지연시킨 제3 지연 신호를 출력하는 회로이다.
- <18> 상기 제4 스피드 상관(correlation) 회로는 제4 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제3 지연 신호를 지연시킨 상기 최종 지연 신호를 출력하는 회로이다.
- <19> 상기 소정 단위 지연 회로들은, 인버터 회로들인 것을 특징으로 한다.
- <20> 상기 패드들은 체인(chain)을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있다.
- <21> 여기서, 상기 제1 그룹 내지 상기 제4 그룹은, 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가, 수학식,
- <22> $A:B:C:D = a:b:c:d$

- <23> (여기서, A는 제1 그룹의 소정 단위 지연 회로들의 개수에서 1을 뺀 수, B는 제2 그룹의 소정 단위 지연 회로들의 개수, C는 제3 그룹의 소정 단위 지연 회로들의 개수, D는 제4 그룹의 소정 단위 지연 회로들의 개수, a,b,c,d는 서로 다른 임의의 계수)
- <24> 을 만족하는 것을 특징으로 한다. 여기서, 상기 a,b,c,d는, 서로 소인 관계인 것을 특징으로 한다.
- <25> 상기 제1 지연 신호 내지 상기 제3 지연 신호, 및 상기 최종 지연 신호는, 소정 시간 경과 후 동일한 오실레이션 파형을 갖는 것을 특징으로 한다. 이때, 상기 소정 시간은, 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들에 의하여 형성되는 상기 체인(chain)의 총 신호 지연 시간(Dt)인 것을 특징으로 한다.
- <26> 상기의 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 장치는, 소정의 회로에 의하여 스피드 비닝(binning) 테스트를 할 수 있는 반도체 장치에 있어서, 다수개의 신호 입출력핀들, 코아(core)부, 및 스피드 비닝(binning) 테스트 회로부를 구비한다.
- <27> 상기 다수개의 신호 입출력핀들은 상기 코아(core)부에 신호를 입력하거나 상기 코아(core)부로부터 신호가 출력되도록 하기 위하여, 일반적인 반도체 장치에 구비되는 것과 같은 입출력핀들이다.
- <28> 상기 코아(core)부는 논리 회로에 의하여 소정의 기능을 수행하고, 상기 다수개의 신호 입출력핀들을 통하여 신호를 입력받거나 출력한다.
- <29> 상기 스피드 비닝(binning) 테스트 회로부는 제1 그룹 내지 제4 그룹을 구성하는 소정 단위 지연 회로들에 의하여 체인(chain) 형태로 형성되어 상기 코아(core)부 주변

바운더리(boundary)에 놓이며, 상기 제1 그룹 내지 상기 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가 서로 다르다.

<30> 상기 스피드 비닝(binning) 테스트 회로부는, 제1 스피드 상관(correlation) 회로, 제2 스피드 상관(correlation) 회로, 제3 스피드 상관(correlation) 회로, 제4 스피드 상관(correlation) 회로, 및 패드들을 구비한다.

<31> 상기 제1 스피드 상관(correlation) 회로는 상기 제1 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 최종 지연 신호를 지연시킨 제1 지연 신호를 출력하는 회로이다.

<32> 상기 제2 스피드 상관(correlation) 회로는 상기 제2 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제1 지연 신호를 지연시킨 제2 지연 신호를 출력하는 회로이다.

<33> 상기 제3 스피드 상관(correlation) 회로는 상기 제3 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제2 지연 신호를 지연시킨 제3 지연 신호를 출력하는 회로이다.

<34> 상기 제4 스피드 상관(correlation) 회로는 상기 제4 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제3 지연 신호를 지연시킨 상기 최종 지연 신호를 출력하는 회로이다.

<35> 상기 패드들은 상기 체인(chain)을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있다.

- <36> 상기의 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 장치의 스피드 비닝(binning) 테스트 방법은, 다수개의 신호 입출력핀들을 통하여 신호를 입력받거나 출력하는 코아(core)부와 상기 코아(core)부 주변 바운더리(boundary)에는 제1 그룹 내지 제4 그룹을 구성하는 소정 단위 지연 회로들에 의하여 체인(chain) 형태로 형성되어 있고, 상기 제1 그룹 내지 상기 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가 서로 다른 스피드 비닝(binning) 테스트 회로를 구비하는 반도체 장치의 스피드 비닝(binning) 테스트에 있어서, 다음과 같은 단계를 구비한다.
- <37> 즉, 본 발명에 따른 반도체 장치의 스피드 비닝(binning) 테스트 방법은, 먼저, 직렬 연결된 소정 단위 지연 회로들로 구성되는 상기 제1 그룹 회로가, 최종 지연 신호를 지연시킨 제1 지연 신호를 출력한다. 직렬 연결된 소정 단위 지연 회로들로 구성되는 상기 제2 그룹 회로는, 상기 제1 지연 신호를 지연시킨 제2 지연 신호를 출력한다. 직렬 연결된 소정 단위 지연 회로들로 구성되는 상기 제3 그룹 회로는, 상기 제2 지연 신호를 지연시킨 제3 지연 신호를 출력한다. 직렬 연결된 소정 단위 지연 회로들로 구성되는 상기 제4 그룹 회로는, 상기 제3 지연 신호를 지연시킨 상기 최종 지연 신호를 출력한다. 이에 따라, 상기 스피드 비닝(binning) 테스트 회로에 구비되고, 체인(chain)을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있는 패드들을 통하여 측정되는 오실레이션 파형으로 공정 중의 칩 상의 변화를 모니터링한다.
- <38> 상기 소정 단위 지연 회로들은, 인버터 회로들인 것을 특징으로 한다.
- <39> 여기서, 상기 제1 그룹 내지 상기 제4 그룹은, 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가, 수학식,

<40> $A:B:C:D = a:b:c:d$

<41> (여기서, A는 제1 그룹의 소정 단위 지연 회로들의 개수에서 1을 뺀 수, B는 제2 그룹의 소정 단위 지연 회로들의 개수, C는 제3 그룹의 소정 단위 지연 회로들의 개수, D는 제4 그룹의 소정 단위 지연 회로들의 개수, a,b,c,d는 서로 다른 임의의 계수)

<42> 을 만족하는 것을 특징으로 한다. 여기서, 상기 a,b,c,d는, 서로 소인 관계인 것을 특징으로 한다.

<43> 상기 제1 지연 신호 내지 상기 제3 지연 신호, 및 상기 최종 지연 신호는, 소정 시간 경과 후 동일한 오실레이션 파형을 갖는 것을 특징으로 한다. 이때, 상기 소정 시간은, 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들에 의하여 형성되는 상기 체인(chain)의 총 신호 지연 시간(Dt)인 것을 특징으로 한다.

<44> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<45> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<46> 도 1은 본 발명의 일실시예에 따른 스피드 비닝(binning) 테스트 회로를 구비한 반도체 장치의 블록도이다.

<47> 도 1을 참조하면, 본 발명의 일실시예에 따른 스피드 비닝(binning) 테스트 회로를 구비한 반도체 장치는, 소정의 회로에 의하여 스피드 비닝(binning) 테스트를 할 수 있

는 반도체 장치에 있어서, 다수개의 신호 입출력핀들(미도시), 코아(core)부(110), 및 스피드 비닝(binning) 테스트 회로부(120~160)를 구비한다.

<48> 상기 다수개의 신호 입출력핀들은 상기 코아(core)부(110)에 신호를 입력하거나 상기 코아(core)부(110)로부터 신호가 출력되도록 하기 위하여, 일반적인 반도체 장치에 구비되는 것과 같은 입출력핀들이다.

<49> 상기 코아(core)부(110)는 논리 회로에 의하여 소정의 기능을 수행하고, 상기 다수개의 신호 입출력핀들을 통하여 신호를 입력받거나 출력한다.

<50> 상기 스피드 비닝(binning) 테스트 회로부(120~160)는 제1 그룹 내지 제4 그룹을 구성하는 소정 단위 지연 회로들에 의하여 체인(chain) 형태로 형성되어 상기 코아(core)부(110) 주변 바운더리(boundary)에 놓이며, 상기 제1 그룹 내지 상기 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가 서로 다르다. 여기서, 상기 제1 그룹 내지 상기 제4 그룹은, 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가, [수학식 1]을 만족한다.

<51> 【수학식 1】 $A:B:C:D = a:b:c:d$

<52> (여기서, A는 제1 그룹의 소정 단위 지연 회로들의 개수에서 1을 뺀 수, B는 제2 그룹의 소정 단위 지연 회로들의 개수, C는 제3 그룹의 소정 단위 지연 회로들의 개수, D는 제4 그룹의 소정 단위 지연 회로들의 개수, a,b,c,d는 서로 다른 임의의 계수)

<53> 상기 스피드 비닝(binning) 테스트 회로부(120~160)는, 제1 스피드 상관(correlation) 회로(120), 제2 스피드 상관(correlation) 회로(130), 제3 스피드 상관

(correlation) 회로(140), 제4 스피드 상관(correlation) 회로(150), 및 패드들(160)을 구비한다.

<54> 상기 제1 스피드 상관(correlation) 회로(120)는 상기 제1 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 최종 지연 신호를 지연시킨 제1 지연 신호를 출력하는 회로이다.

<55> 상기 제2 스피드 상관(correlation) 회로(130)는 상기 제2 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제1 지연 신호를 지연시킨 제2 지연 신호를 출력하는 회로이다.

<56> 상기 제3 스피드 상관(correlation) 회로(140)는 상기 제3 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제2 지연 신호를 지연시킨 제3 지연 신호를 출력하는 회로이다.

<57> 상기 제4 스피드 상관(correlation) 회로(150)는 상기 제4 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제3 지연 신호를 지연시킨 상기 최종 지연 신호를 출력하는 회로이다.

<58> 상기 패드들(160)은 상기 체인(chain)을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있다.

<59> 상기 제1 지연 신호 내지 상기 제3 지연 신호, 및 상기 최종 지연 신호는, 소정 시간 경과 후 동일한 오실레이션 파형을 갖는다. 이때, 상기 소정 시간은, 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들에 의하여 형성되는 상기 체인(chain)의 총 신호 지연 시간(Dt)이다.

- <60> 도 2는 도 1의 스피드 상관(correlation) 회로들(120~150)을 예시하는 블록도이다.
- <61> 도 2를 참조하면, 도 1의 스피드 상관(correlation) 회로들(120~150), 즉, 제1 스피드 상관(correlation) 회로(120) 내지 제4 스피드 상관(correlation) 회로(150)는 상기 코어(core)부(110) 주변 바운더리(boundary)에 놓이며, 스피드 상관(correlation) 회로들(120~150) 각각은 소정 단위 지연 회로들, 즉, 인버터 회로들로 구성되며, 전체적으로 체인(chain) 형태를 형성한다. 여기서, 소정 단위 지연 회로들은 인버터 회로들에 한정되지 않으며, 이외에도 입력 신호를 인버팅하여 출력하는 다른 회로나, 입력 신호와 같은 위상의 신호를 출력하는 버퍼 등이 될 수 있다. 단, 소정 단위 지연 회로들을 버퍼로 구성하는 경우에, 전체 체인(chain)이 링 오실레이터(ring oscillator) 동작을 할 수 있도록 하기 위하여, 전체 체인(chain)을 구성하는 버퍼들 중 어느 하나를 인버터 회로로 구성해야 할 것이다.
- <62> 이때, 스피드 상관(correlation) 회로들(120~150)은 인버터 회로들에 의하여 구성되는 4개의 그룹을 형성하며, 제1 스피드 상관(correlation) 회로(120) 내지 제4 스피드 상관(correlation) 회로(150) 각각에 대응되는 제1 그룹 내지 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들, 즉, 인버터 회로들의 개수비가 서로 다르다. 즉, 상기 제1 그룹 내지 상기 제4 그룹은, 각각의 그룹을 구성하는 소정 단위 지연 회로들, 즉, 인버터 회로들의 개수비는, [수학식 1]을 만족한다.
- <63> 도 2에서, 상기 제1 그룹 내지 상기 제4 그룹 각각을 구성하는 소정 단위 지연 회로들, 즉, 인버터 회로들의 개수는, 제1 그룹의 인버터 회로들의 개수가 $(N+1)$ 인 경우에, 제2 그룹 내지 제4 그룹의 인버터 회로들 각각의 개수는 $2N$, $3N$, 및 $5N$ 인 것을 예시하였다. 여기서, 제1 그룹의 인버터 회로들의 개수를 $(N+1)$ 로 한 것은, 제1 그룹 내

지 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들, 즉, 인버터 회로들의 총수가 홀수가 되어, 전체 체인(chain)이 링 오실레이터(ring oscillator) 동작을 할 수 있게 하기 위함이다. 즉, 도 2에서, 제1 그룹 내지 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들, 즉, 인버터 회로들의 개수비는, N이 수십 또는 수백인 경우에 대략 1:2:3:5이고, [수학식 1]에서 대응되는 a,b,c,d가 서로 다른 임의의 계수임을 알 수 있다. 특히, a,b,c,d 각각이 서로 소인 관계를 갖는 경우에는 OCV(On chip Variation)에 대한 영향 평가가 더욱 용이하게 된다.

<64> 도 2와 같이, 제1 스피드 상관(correlation) 회로(120) 내지 제4 스피드 상관(correlation) 회로(150)를 구성하는 경우에, 제1 스피드 상관(correlation) 회로(120)에서의 신호 지연 시간을 D라고하면, 제2 스피드 상관(correlation) 회로(130) 내지 제4 스피드 상관(correlation) 회로(150) 각각에서의 신호 지연 시간은 대략 2D, 3D, 및 5D이다. 이때, 제1 스피드 상관(correlation) 회로(120) 내지 제4 스피드 상관(correlation) 회로(150) 전체에서 지연되는 총 신호 지연 시간(Dt)은, 각각의 회로에서의 디레이팅 팩터(derating factor)가 모두 같은 경우에 [수학식 2]와 같다. 디레이팅 팩터(derating factor)는 OCV(On chip Variation)가 회로의 동작 속도에 미치는 정도를 수치로 가정한 값이다.

<65> 【수학식 2】 $D_t \simeq D + 2D + 3D + 5D$

<66> [수학식 2]에서, 제1 스피드 상관(correlation) 회로(120) 내지 제4 스피드 상관(correlation) 회로(150) 각각의 회로에서 각 그룹마다 다르게 OCV(On chip Variation)의 영향을 받아 디레이팅 팩터(derating factor)가 다른 경우에, 총 신호 지연 시간(Dt)이 [수학식 3], 또는 [수학식 4]와 같이 될 수 있다. 여기서, 디레이팅 팩터(derating

factor)는, [수학식 3], 또는 [수학식 4]과 같이 한정되지 않으며, 여러 가지 제조 공정상의 OCV(On chip Variation)에 의하여 다른 값을 갖는 디레이팅 팩터(derating factor)가 나타날 수 있다.

<67> 【수학식 3】 $Dt \approx 0.9D + 1.1 \cdot (2D) + 3D + 5D$

<68> 【수학식 4】 $Dt \approx 0.9D + 1.1 \cdot (2D) + 1.4 \cdot (3D) + 0.6 \cdot (5D)$

<69> [수학식 2] 내지 [수학식 4]에서와 같이, 디레이팅 팩터(derating factor)가 모두 같거나 다른 값들을 갖는 경우 각각에서, 총 신호 지연 시간(Dt)은 서로 다른 값을 갖는다. 특히, [수학식 1]에서, a,b,c,d 각각이 서로 소인 관계를 갖는 경우에는 OCV(On chip Variation)에 대한 영향 평가가 더욱 용이하게 된다. 즉, [수학식 1]에서, a,b,c,d가 서로 소인 관계를 가질 때에는, 수학적으로 "1" 이외에는 다른 인수를 갖지 않으므로, 총 신호 지연 시간(Dt)에 각 상관(correlation) 회로들(120~150)의 디레이팅 팩터(derating factor)가 영향을 미친 정도를 파악하기 용이하다.

<70> 한편, 인버터 회로들의 개수비가 동일한 인버터 체인(chain) 형태의 회로에 의한 단순한 턴어라운드(turn-around) 시간의 측정으로 동작 속도를 평가하는 종래의 스피드 비닝(binning) 테스트 방식에서는, 칩 상의 모든 영역(상측, 하측, 좌측, 및 우측) 각각에서 일정한 OCV(On chip Variation) 영향을 받은 경우와 칩 상의 특정 영역에서만 심하게 OCV(On chip Variation)의 영향을 받은 경우 모두에서, 총 신호 지연 시간(Dt)이 같게 나타나므로 서로 간에 변별이 어려웠다. 그러나, 본 발명의 일실시예에 따른 스피드 비닝(binning) 테스트 회로를 구비한 반도체 장치에서는, 위와 같이, 제1 그룹 내지 제4 그룹의 인버터 회로들 각각의 개수비를 다르게 구성함으로써, 한번의 총 지연 시간(Dt) 측정에 의하여 칩 상의 모든 영역(상측, 하측, 좌측, 및 우측) 각각에서 OCV(On chip

Variation)가 발생할 수 있는 다양성, 즉, 디레이팅 팩터(derating factor)의 다양성이 변별되도록 하였고, 이에 따라 타이밍 크리티컬(timing critical)한 칩 상에서 모든 영역(상측, 하측, 좌측, 및 우측) 각각에 위치한 어떤 기능의 회로들이 더 OCV(On chip Variation)에 민감한지를 용이하게 모니터링 할 수 있다.

<71> 도 3은 도 2의 스피드 상관(correlation) 회로들의 동작 속도를 측정할 때의 파형도이다.

<72> 도 3과 같은, 오실레이션 파형은, 체인(chain)을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있는 패드들(160)에 프로빙(probing)된 프로브 카드(probe card) 등에 연결되는 오실로스코프에 의하여 관찰될 수 있다.

<73> 제1 스피드 상관(correlation) 회로(120) 내지 제4 스피드 상관(correlation) 회로(150)는 체인(chain) 형태로 연결되어 링 오실레이터(ring oscillator)로 되므로, 각각에서의 출력 신호인, 상기 제1 지연 신호 내지 상기 제3 지연 신호, 및 상기 최종 지연 신호는, 소정 시간 경과 후 동일한 오실레이션 파형을 갖는다. 이때, 상기 소정 시간은, 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들에 의하여 형성되는 상기 체인(chain)의 총 지연 시간이다. 즉, 도 3에서, 제1 스피드 상관(correlation) 회로(120) 내지 제4 스피드 상관(correlation) 회로(150)에서 지연되는 총 신호 지연 시간(Dt)은 상기 패드들(160)의 프로빙에 의하여 측정된 신호 파형의 주파수에 의하여 계산된다. 즉, 도 3에서 측정된 신호 파형의 주파수가 f인 경우에, 총 신호 지연 시간(Dt)은 [수학식 5]와 같이된다.

<74> 【수학식 5】 $Dt = 1/(2f)$

<75> 위에서 기술한 바와 같이, 제1 그룹 내지 제4 그룹을 구성하는 소정 단위 지연 회로들에 의하여 체인(chain) 형태로 형성되어 상기 코아(core)부(110) 주변 바운더리(boundary)에 놓이며, 상기 제1 그룹 내지 상기 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가 서로 다른 스피드 비닝(binning) 테스트 회로부(120~160)를 구비하는 본 발명의 일실시예에 반도체 장치는, 먼저, 직렬 연결된 소정 단위 지연 회로들로 구성되는 제1 그룹 회로가, 최종 지연 신호를 지연시킨 제1 지연 신호를 출력한다. 직렬 연결된 소정 단위 지연 회로들로 구성되는 제2 그룹 회로는, 상기 제1 지연 신호를 지연시킨 제2 지연 신호를 출력한다. 직렬 연결된 소정 단위 지연 회로들로 구성되는 제3 그룹 회로는, 상기 제2 지연 신호를 지연시킨 제3 지연 신호를 출력한다. 직렬 연결된 소정 단위 지연 회로들로 구성되는 제4 그룹 회로는, 상기 제3 지연 신호를 지연시킨 상기 최종 지연 신호를 출력한다. 이에 따라, 상기 스피드 비닝(binning) 테스트 회로에 구비되고, 체인(chain)을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있는 패드들(160)을 통하여 측정되는 오실레이션 파형으로 공정 중의 칩 상의 변화를 모니터링할 수 있다.

<76> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<77> 상술한 바와 같이 본 발명에 따른 스피드 비닝(binning) 테스트 회로를 구비한 반도체 장치는, 종래의 인버터 체인(inverter chain)의 구성을 달리하여, 한번의 총 신호 지연 시간(Dt) 측정에 의하여 칩 상의 모든 영역(상측, 하측, 좌측, 및 우측) 각각에서 OCV(On chip Variation)가 발생할 수 있는 다양성, 즉, 디레이팅 팩터(derating factor)의 다양성이 변별되도록 하였고, 이에 따라 타이밍 크리티컬(timing critical)한 칩 상에서 모든 영역(상측, 하측, 좌측, 및 우측) 각각에 위치한 어떤 기능의 회로들이 더 OCV(On chip Variation)에 민감한지를 용이하게 모니터링 할 수 있다. 따라서, 칩의 동작 스피드 예측 오차를 최소화시켜 생산 제조 원가의 절감에 기여할 수 있고, 랏(lot) 전체 웨이퍼의 칩들에 대한 OCV(on chip variations) 영향 평가가 용이한 효과가 있다.

【특허청구범위】

【청구항 1】

칩의 코아부 주변 바운더리에 놓이는 스피드 비닝 테스트 회로에 있어서,

제 1 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 최종 지연 신호를 지연시킨 제1 지연 신호를 출력하는 제1 스피드 상관 회로;

제2 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제1 지연 신호를 지연시킨 제2 지연 신호를 출력하는 제2 스피드 상관 회로;

제3 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제2 지연 신호를 지연시킨 제3 지연 신호를 출력하는 제3 스피드 상관 회로;

제 4 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제3 지연 신호를 지연시킨 상기 최종 지연 신호를 출력하는 제4 스피드 상관 회로; 및

체인을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있는 패드들을 구비하는 것을 특징으로 하는 스피드 비닝 테스트 회로.

【청구항 2】

제 1항에 있어서, 상기 제1 그룹 내지 상기 제4 그룹은,

각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가, 수학식,

$$A:B:C:D = a:b:c:d$$

(여기서, A는 제1 그룹의 소정 단위 지연 회로들의 개수에서 1을 뺀 수, B는 제2 그룹의 소정 단위 지연 회로들의 개수, C는 제3 그룹의 소정 단위 지연 회로들의 개수, D는 제4 그룹의 소정 단위 지연 회로들의 개수, a, b, c, d 는 서로 다른 임의의 계수)을 만족하는 것을 특징으로 하는 스피드 비닝 테스트 회로.

【청구항 3】

제 2항에 있어서, 상기 a, b, c, d 는,

서로 소인 관계인 것을 특징으로 하는 스피드 비닝 테스트 회로.

【청구항 4】

제 1항에 있어서, 상기 제1 지연 신호 내지 상기 제3 지연 신호, 및 상기 최종 지연 신호는,

소정 시간 경과 후 동일한 오실레이션 파형을 갖는 것을 특징으로 하는 스피드 비닝 테스트 회로.

【청구항 5】

제 4항에 있어서, 상기 소정 시간은,

상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들에 의하여 형성되는 상기 체인의 총 신호 지연 시간인 것을 특징으로 하는 스피드 비닝 테스트 회로.

【청구항 6】

제 1항에 있어서, 상기 소정 단위 지연 회로들은,

인버터 회로들인 것을 특징으로 하는 스피드 비닝 테스트 회로.

【청구항 7】

소정의 회로에 의하여 스피드 비닝 테스트를 할 수 있는 반도체 장치에 있어서,
다수개의 신호 입출력핀들;

논리 회로에 의하여 소정의 기능을 수행하고, 상기 다수개의 신호 입출력핀들을 통하여 신호를 입력받거나 출력하는 코아부; 및

제1 그룹 내지 제4 그룹을 구성하는 소정 단위 지연 회로들에 의하여 체인 형태로 형성되어 상기 코아부 주변 바운더리에 놓이며, 상기 제1 그룹 내지 상기 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가 서로 다른 스피드 비닝 테스트 회로부를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 8】

제 7항에 있어서, 상기 스피드 비닝 테스트 회로부는,

상기 제1 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 최종 지연 신호를 지연시킨 제1 지연 신호를 출력하는 제1 스피드 상관 회로;

상기 제2 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제1 지연 신호를 지연시킨 제2 지연 신호를 출력하는 제2 스피드 상관 회로;

상기 제3 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제2 지연 신호를 지연시킨 제3 지연 신호를 출력하는 제3 스피드 상관 회로;

상기 제4 그룹을 구성하는 소정 단위 지연 회로들이 직렬 연결되어 있고, 상기 제3 지연 신호를 지연시킨 상기 최종 지연 신호를 출력하는 제4 스피드 상관 회로; 및

상기 체인을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있는 패드들을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 9】

제 7항 또는 제 8항에 있어서, 상기 제1 그룹 내지 상기 제4 그룹은,
각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가, 수학식,

$$A:B:C:D = a:b:c:d$$

(여기서, A는 제1 그룹의 소정 단위 지연 회로들의 개수에서 1을 뺀 수, B는 제2 그룹의 소정 단위 지연 회로들의 개수, C는 제3 그룹의 소정 단위 지연 회로들의 개수, D는 제4 그룹의 소정 단위 지연 회로들의 개수, a,b,c,d는 서로 다른 임의의 계수)

을 만족하는 것을 특징으로 하는 반도체 장치.

【청구항 10】

제 9항에 있어서, 상기 a,b,c,d는,

서로 소인 관계인 것을 특징으로 하는 반도체 장치.

【청구항 11】

제 8항에 있어서, 상기 제1 지연 신호 내지 상기 제3 지연 신호, 및 상기 최종 지연 신호는,

소정 시간 경과 후 동일한 오실레이션 파형을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 12】

제 11항에 있어서, 상기 소정 시간은,

상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들에 의하여 형성되는 상기 체인의 총 신호 지연 시간인 것을 특징으로 하는 반도체 장치.

【청구항 13】

제 7항 또는 제 8항에 있어서, 상기 소정 단위 지연 회로들은,

인버터 회로들인 것을 특징으로 하는 반도체 장치.

【청구항 14】

다수개의 신호 입출력핀들을 통하여 신호를 입력받거나 출력하는 코아부와 상기 코아부 주변 바운더리에는 제1 그룹 내지 제4 그룹을 구성하는 소정 단위 지연 회로들에 의하여 체인 형태로 형성되어 있고, 상기 제1 그룹 내지 상기 제4 그룹 각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가 서로 다른 스피드 비닝 테스트 회로를 구비하는 반도체 장치의 스피드 비닝 테스트에 있어서,

직렬 연결된 소정 단위 지연 회로들로 구성되는 상기 제1 그룹 회로에 의하여, 최종 지연 신호를 지연시킨 제1 지연 신호를 출력하는 단계;

직렬 연결된 소정 단위 지연 회로들로 구성되는 상기 제2 그룹 회로에 의하여, 상기 제1 지연 신호를 지연시킨 제2 지연 신호를 출력하는 단계;

직렬 연결된 소정 단위 지연 회로들로 구성되는 상기 제3 그룹 회로에 의하여, 상기 제2 지연 신호를 지연시킨 제3 지연 신호를 출력하는 단계;

직렬 연결된 소정 단위 지연 회로들로 구성되는 상기 제4 그룹 회로에 의하여, 상기 제3 지연 신호를 지연시킨 상기 최종 지연 신호를 출력하는 단계; 및

상기 스피드 비닝 테스트 회로에 구비되고, 체인을 형성하는 상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들 중 하나 이상의 출력 단자에 연결되어 있는 패드들을 통하여 측정되는 오실레이션 파형으로 공정 중의 칩 상의 변화를 모니터링하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 스피드 비닝 테스트 방법.

【청구항 15】

제 14항에 있어서, 상기 제1 그룹 내지 상기 제4 그룹은,

각각의 그룹을 구성하는 소정 단위 지연 회로들의 개수비가, 수학식,

$$A:B:C:D = a:b:c:d$$

(여기서, A는 제1 그룹의 소정 단위 지연 회로들의 개수에서 1을 뺀 수, B는 제2 그룹의 소정 단위 지연 회로들의 개수, C는 제3 그룹의 소정 단위 지연 회로들의 개수, D는 제4 그룹의 소정 단위 지연 회로들의 개수, a,b,c,d는 서로 다른 임의의 계수)

을 만족하는 것을 특징으로 하는 반도체 장치의 스피드 비닝 테스트 방법.

【청구항 16】

제 15항에 있어서, 상기 a,b,c,d는,

서로 소인 관계인 것을 특징으로 하는 반도체 장치의 스피드 비닝 테스트 방법.

【청구항 17】

제 14항에 있어서, 상기 제1 지연 신호 내지 상기 제3 지연 신호, 및 상기 최종 지연 신호는,

소정 시간 경과 후 동일한 오실레이션 파형을 갖는 것을 특징으로 하는 반도체 장치의 스피드 비닝 테스트 방법.

【청구항 18】

제 17항에 있어서, 상기 소정 시간은,

상기 제1 그룹 내지 상기 제4 그룹의 소정 단위 지연 회로들에 의하여 형성되는 상기 체인의 총 신호 지연 시간인 것을 특징으로 하는 반도체 장치의 스피드 비닝 테스트 방법.

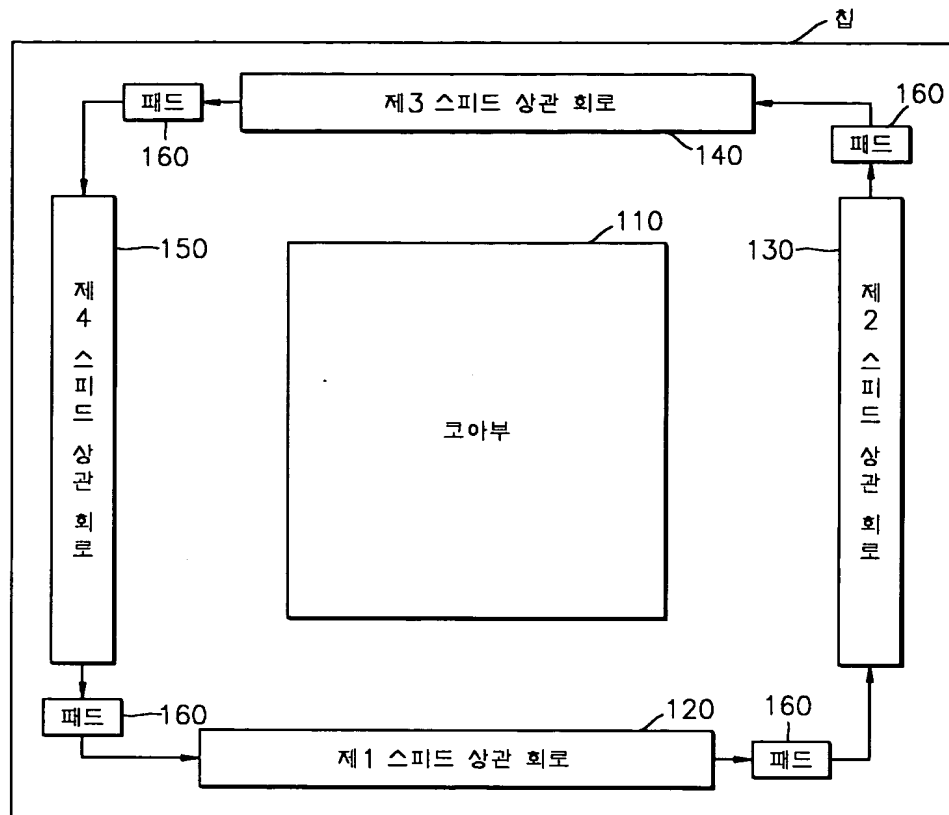
【청구항 19】

제 14항에 있어서, 상기 소정 단위 지연 회로들은,

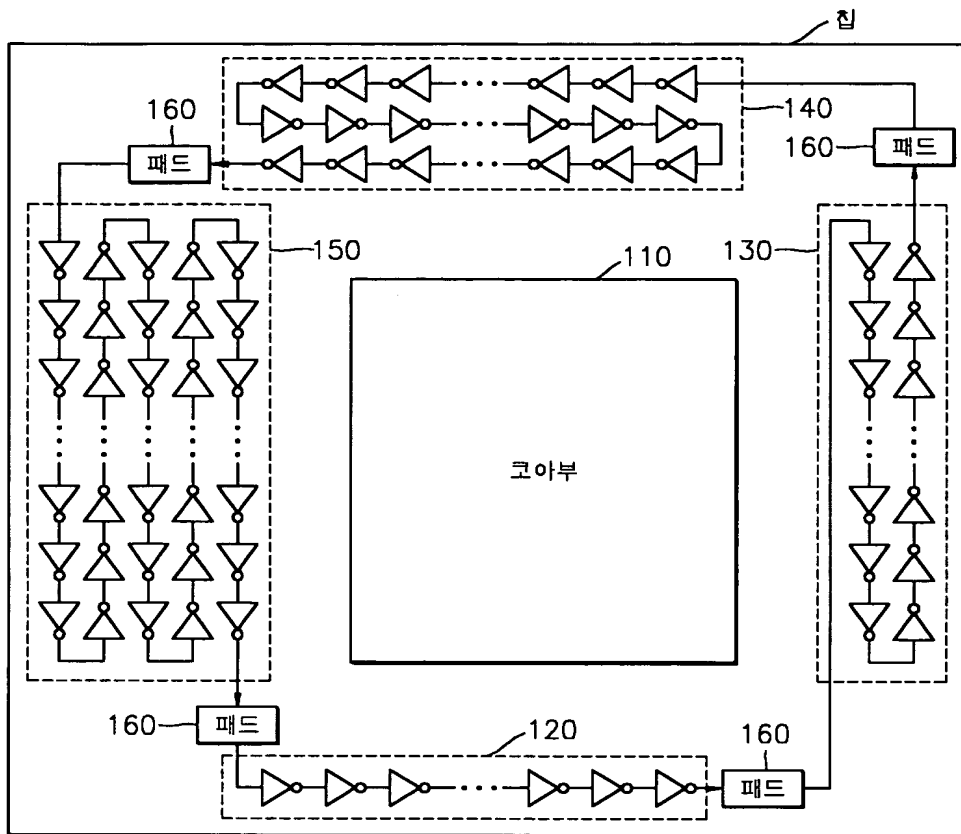
인버터 회로들인 것을 특징으로 하는 반도체 장치의 스피드 비닝 테스트 방법.

【도면】

【도 1】



【도 2】



【도 3】

